

(54) **PARALLEL DATA PROCESSOR**

(11) 5-20283 (A) (43) 29.1.1993 (19) JP

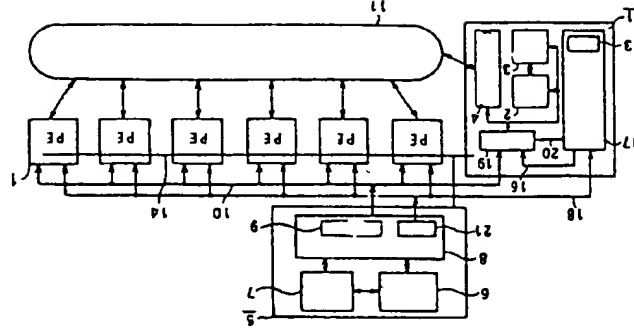
(21) Appl. No. 3-171209 (22) 11.7.1991

(71) MITSUBISHI ELECTRIC CORP (72) TETSUAKI ISONISHI

(51) Int. Cl. G06F15/16

PURPOSE: To utilize both the features of a single instruction multiple data stream (SIMD) type parallel data processor appropriate for routine processing and a multiple instruction multiple data stream (MIMD) type parallel data processor appropriate for non-routine processing.

CONSTITUTION: Both of a control processor 5 for controlling all of plural element processors and the element processors 1 are provided with control devices 8, 17 for forming control signals corresponding to respective instructions, a switch 19 for selecting either one of the 2nd control signal 16 formed by the control device and the 1st control signal 10 formed by the control processor 5 is included in the element processor 1 and respective control signals 16, 10 can be optionally switched by the command of a switching signal applied from the processor 5.



26: arithmetic unit, 37: memory device, 4: inter-processor communication equipment, 9, 13: instruction, 11: mutual connection network, 19: switch 9

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-20283

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵
G 0 6 F 15/16

識別記号 庁内整理番号
3 9 0 T 9190-5L

F I

技術表示箇所

審査請求 未請求 請求項の数1(全7頁)

(21)出願番号 特願平3-171209

(22)出願日 平成3年(1991)7月11日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 磯西 徹明

鎌倉市大船五丁目1番1号 三菱電機株式
会社情報電子研究所内

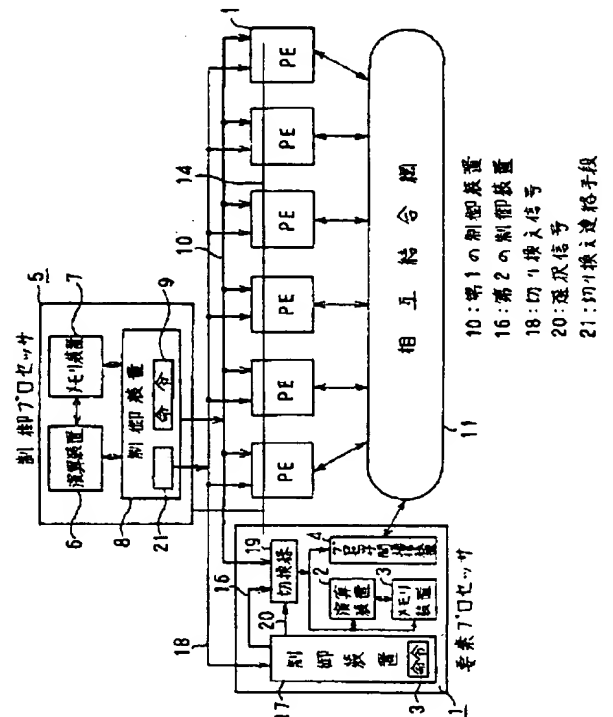
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 並列データ処理装置

(57)【要約】

【目的】 定型的処理に適するSIMD(Single Instruction Multiple Data stream)型並列データ処理装置と非定型的処理に適するMIMD(Multiple Instruction Multiple Data stream)型並列データ処理装置の両方の特徴を利用する。

【構成】 複数の要素プロセッサ1全体を制御する制御プロセッサ5と要素プロセッサ1の両方に、命令に対応した制御信号を生成する制御装置8、17を設け、また、要素プロセッサ1に要素プロセッサ内制御装置が生成する第2の制御信号16と制御プロセッサ5が生成する第1の制御信号10のどちらか一方を選択する切換器19を設け、制御プロセッサ5の切り換え信号18指示により任意にそれらを切換えることができる構成にした。



【特許請求の範囲】

【請求項1】 以下の制御プロセッサと、複数の要素プロセッサを有するプロセッサアレイを備えた並列データ処理装置

(a) 以下の手段を有する制御プロセッサ

(a 1) 命令を記憶する第1の記憶手段、

(a 2) 第1の記憶手段に記憶された命令を解読し、その命令に対応する第1の制御信号を、プロセッサアレイを構成する各要素プロセッサに伝える通報手段、

(a 3) プロセッサアレイを構成する各要素プロセッサが、通報手段により通報される制御信号に基づいて動作するか否かを示す切り換え信号を、各要素プロセッサに伝える切り換え連絡手段。

(b) 以下の手段を有する要素プロセッサを複数有するプロセッサアレイ

(b 1) 要素プロセッサごとに異なる命令を記憶することが可能な第2の記憶手段、

(b 2) 第2の記憶手段に記憶された命令を解読し、その命令に対応する第2の制御信号を生成する生成手段、

(b 3) 切り換え連絡手段により連絡された切り換え信号に基づいて要素プロセッサ内の制御信号を通報手段により通報された第1の制御信号と、生成手段により生成された第2の制御信号とのいずれかに切り換える切り換え手段。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、複数の要素プロセッサが同時に動作する並列データ処理装置に係わるものである。

【0002】

【従来の技術】 並列データ処理装置は、その制御方式で分類すると、大きくSIMD (Single Instruction Multiple Data stream) 方式とMIMD (Multiple Instruction Multiple Data stream) 方式の2つに分けられる。図2は、例えば富田、末吉「並列処理マシン」pp.44, オーム社(1989)に示されたSIMD型の並列データ処理装置の構成を示している。図2において、1は要素プロセッサ、2は要素プロセッサ内演算装置、3は要素プロセッサ内メモリ装置、4は要素プロセッサ内プロセッサ間通信装置、5は複数の要素プロセッサを同時かつ同一に制御する制御プロセッサ、6は制御プロセッサ内演算装置、7は制御プロセッサ内メモリ装置、8は制御プロセッサ内制御装置、9は複数の要素プロセッサの動作を同時かつ同一に指示する命令、10は制御プロセッサの保持する命令に対応し、要素プロセッサ内の演算装置2、メモリ装置3、プロセッサ間通信装置4をクロックに同期して制御する制御信号、11は要素プロセッサ間の通信を行うための相互結合網である。

【0003】 また、図3は、例えば池坂、石畑、他「高並列計算機セルアレイプロセッサCAP」pp.214, bi

2

t Vol. 21, No. 4 (1989) に示されたMIMD型の並列データ処理装置の構成を示している。図3において、1から11までは図2と同一である。12は要素プロセッサ単位の独立に命令のフェッチ、デコード、実行ができる制御装置、13は各要素プロセッサ内で独立に実行される命令、14は制御プロセッサ5と要素プロセッサ間のデータ転送を行うコマンドバス、15はコマンド用インタフェース、16は要素プロセッサ1内制御装置12から演算装置2及びメモリ装置3に送られる制御信号である。

【0004】 従来の並列データ処理装置の1つであるSIMD型並列データ処理装置は、図2のように構成され、例えば、制御プロセッサ5に格納された命令9に対応する要素プロセッサ内の各装置6～8を制御する制御信号7がブロードキャストされ、メモリ装置3に格納されている異なるデータを同時に処理する。つまり、SIMD型並列データ処理装置のプログラムは、制御プロセッサに格納され、そのプログラムに基づいて全要素プロセッサ1は異なるデータに対して同一の処理を行う。

【0005】 また、MIMD型並列データ処理装置は、図3のように構成され、要素プロセッサ1内の制御装置12が保持する命令13に対応した制御信号が要素プロセッサ内の各装置に与えられ、各要素プロセッサ1毎に異なる命令に対してメモリ装置3に格納されている異なるデータを処理する。つまり、MIMD型並列データ処理装置のプログラムは、複数の要素プロセッサ1に別々に格納され、そのプログラムに基づいて各要素プロセッサ1は異なるデータに対して異なる処理を行う。また、MIMD型並列データ処理装置において、制御プロセッサ5は要素プロセッサ1で別々に動作しているプログラムの同期をとったり、要素プロセッサ1の実行状態の監視をするために用いられる。

【0006】

【発明が解決しようとする課題】 従来の並列データ処理装置の1つであるSIMD型並列データ処理装置は以上のように構成されているので、画像処理、行列計算、データ検索、パターンマッチングなどのベクトルや配列に対する定型的な並列処理を効率良く高速に実行でき、プログラムの作成、デバッグが容易にできるという特徴がある。しかしその一方、記号処理やモンテカルロ法を使用したシミュレーションなどは、各要素プロセッサで実行させたい処理が異なったり、条件分岐が非常に多く、このような非定型処理には、その制御が複雑になると共に実行時間の低下をきたすという問題点があった。また、MIMD型並列データ処理装置は、SIMD型並列データ処理装置と相反して、非定型的処理に関しては効率が悪いが、定型的な処理は効率が悪いという問題点があった。

【0007】 この発明は、上記のような問題点を解消するためになされたもので、SIMD型並列データ処理装

置とMIMD型並列データ処理装置の長所を生かし、定型的処理と非定型的処理の両方を効率良く実行できる並列データ処理装置を得ることを目的としている。

【0008】

【課題を解決するための手段】この発明に係わる並列データ処理装置においては、複数の要素プロセッサから構成されるプロセッサアレイ全体を制御する制御プロセッサに、制御プロセッサ内に設けられたメモリ装置（第1の記憶手段）からフェッチした命令を解読し、その命令に対応した第1の制御信号を、プロセッサアレイを構成する各要素プロセッサにブロードキャストする通報手段を設け、さらに、要素プロセッサに、要素プロセッサ内のメモリ装置（第2の記憶手段）からフェッチした命令を解読し、その命令に対応した要素プロセッサ内の第2の制御信号を生成してその要素プロセッサの構成要素に与える生成手段を備えると共に、制御プロセッサから各要素プロセッサへブロードキャストされた第1の制御信号と、要素プロセッサ内部で生成された第2の制御信号を、制御プロセッサから送られてくる切り換え信号により切り換える切り換え手段を備えたものである。

【0009】

【作用】この発明における並列データ処理装置では、制御プロセッサからの切り換え信号の指示により、要素プロセッサの切り換え手段が、制御プロセッサから要素プロセッサに指示される命令の実行と各要素プロセッサ内で独立に指示される命令の実行を任意に切り換えて実行することができる。

【0010】

【実施例】

実施例1. 以下この発明の一実施例を、図について説明する。図1は、この発明による並列データ処理装置の構成図の一例であり、1～13は上記従来装置と同一のものである。17は要素プロセッサ1内の制御装置、18は制御プロセッサ5から送出される第1の制御信号10と要素プロセッサ内制御装置17から送出される第2の制御信号16のどちらかを要素プロセッサの各装置2～4に与えるかを選択する切り換え信号であり、制御プロセッサ5の切り換え連絡手段21から送出される。19は、制御プロセッサ5から送出される第1の制御信号10と要素プロセッサ内制御装置17から送出される第2の制御信号16のどちらか一方を選択し、要素プロセッサ1内の各装置2～4に送出する切換器（切り換え手段の一例）、20は、切り換え信号18と制御装置17の内部状態を基に生成されて切換器に入力される選択信号である。

【0011】前記のように構成された並列データ処理装置においては、制御プロセッサ5からの指示により、必要に応じてSIMD動作とMIMD動作を任意に切換えて並列処理を行うことができる。以下に本並列データ処理装置がMIMD動作からSIMD動作に切換える場合

の動作例を示す。

（初期状態）要素プロセッサ内の選択信号20は、第2の制御信号16を切換器19の出力とするように設定されている。このとき、各要素プロセッサ1は要素プロセッサ内メモリ装置3に格納されているプログラムにより独立に動作している（MIMD動作中）。

（ステップ1）制御プロセッサ5の切り換え連絡手段21から切り換え信号18が送出され、全要素プロセッサ1に対してSIMD動作への切換要求が発せられる。

（ステップ2）各要素プロセッサ1では、現在動作しているプログラムが終了するのを待って第1の制御信号10を切換器19の出力とする。このとき制御プロセッサ5にコマンドバス14を使用して、第1の制御信号10と第2の制御信号16の切換が終了したことを報告する。この報告終了後、要素プロセッサ1内制御装置17は停止する。

（ステップ3）全ての要素プロセッサ1が動作中のプログラムが終了したことを報告し終えると、制御プロセッサは、第1の制御信号10を全要素プロセッサに送出し始めることによりSIMD動作を開始する。

【0012】前述した例はMIMD動作からSIMD動作へ切換える場合の動作について説明したが、以下ではSIMD動作からMIMD動作へ切換える場合の動作に着いて説明する。

（初期状態）要素プロセッサ内の選択信号20は、第1の制御信号10を切換器19の出力とするように設定されている。このとき、各要素プロセッサ1は制御プロセッサ5内メモリ装置7に格納されているプログラムにより全く同一の動作をしている（SIMD動作中）。

（ステップ1）制御プロセッサ5の切り換え連絡手段21から切り換え信号18が送出され、全要素プロセッサ1に対してMIMD動作への切換要求が発せられる。

（ステップ2）各要素プロセッサ1では、直ちに第1の制御信号10を切換器19の出力とする。このとき停止していた要素プロセッサ内制御部17が活性化し、所定の処理を開始する（MIMD動作の開始）。

【0013】以上、この実施例では、演算装置、メモリ装置、プロセッサ間通信装置及び制御装置を具備した複数の要素プロセッサから成るプロセッサアレイと、演算装置、メモリ装置及び制御装置を具備したプロセッサアレイ全体を制御する制御プロセッサから構成され、該制御プロセッサと各要素プロセッサとの間に情報の伝達を行う通信系を有すると共に、各要素プロセッサがプロセッサ間通信装置と相互結合網を介して情報の伝達を行うことができる並列データ処理装置において、制御プロセッサ内メモリ装置からフェッチした命令を解読し、その命令に対応した制御信号をプロセッサアレイを構成する各要素プロセッサにブロードキャストする機能と、要素プロセッサ内メモリ装置からフェッチした命令を解読し、その命令に対応した要素プロセッサ内制御信号を該

要素プロセッサの構成要素に与える機能を備えると共に、該制御プロセッサから各要素プロセッサへブロードキャストされた制御信号と、要素プロセッサ内部で生成された制御信号を、制御プロセッサから送られてくる切り換え信号により切り換える手段を備えることにより、制御プロセッサから全要素プロセッサ同一に指示される命令の実行と各要素プロセッサ内で独立に指示される命令の実行を任意に切り換えて実行できることを特徴とする並列データ処理装置を説明した。

【0014】実施例2. 上記実施例では、切り換え信号18により全ての要素プロセッサ内において第1と第2の制御信号を切り換える場合を示したが、各プロセッサごとに切り換えを指定できるようにしてもよい。たとえば、図1において、要素プロセッサ1は7個示されているが、SIMD動作からMIMD動作に切り換えるとき、そのMIMD動作には4個の要素プロセッサしか必要ないときは4個の要素プロセッサのみをMIMD動作に切り換え、残りの3個はSIMD動作を続行させてもよい。また、その逆の切り換えも同様にして選択的に行なえるようにしてもよい。

【0015】

【発明の効果】以上のように、この発明によれば、1つの並列データ処理装置で、SIMD動作とMIMD動作を必要に応じて選択でき、定型的処理に適するSIMD型並列データ処理装置と非定型的処理に適するMIMD型並列データ処理装置の両方の長所を兼ね備えるという効果がある。

【図面の簡単な説明】

【図1】この発明の実施例1による並列データ処理装置の構成図である。

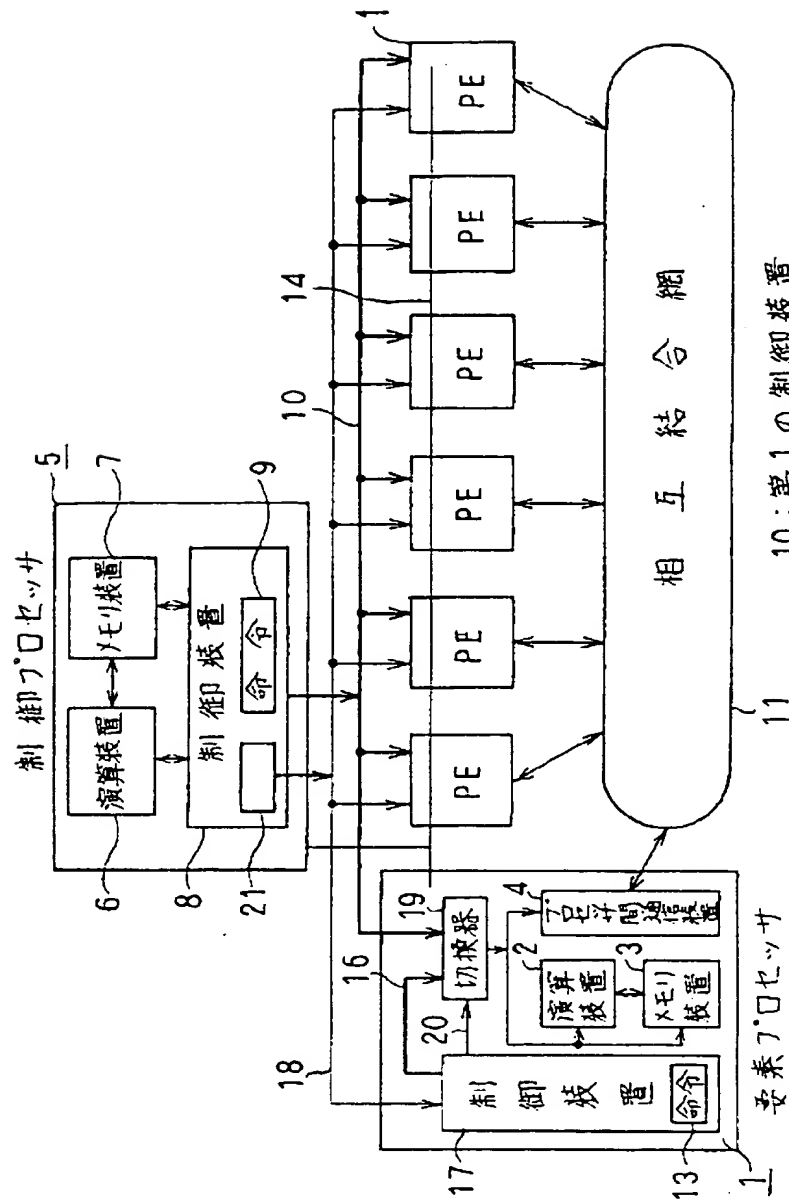
【図2】従来のSIMD型並列データ処理装置の一例を示す構成図である。

【図3】従来のMIMD型並列データ処理装置の一例を示す構成図である。

【符号の説明】

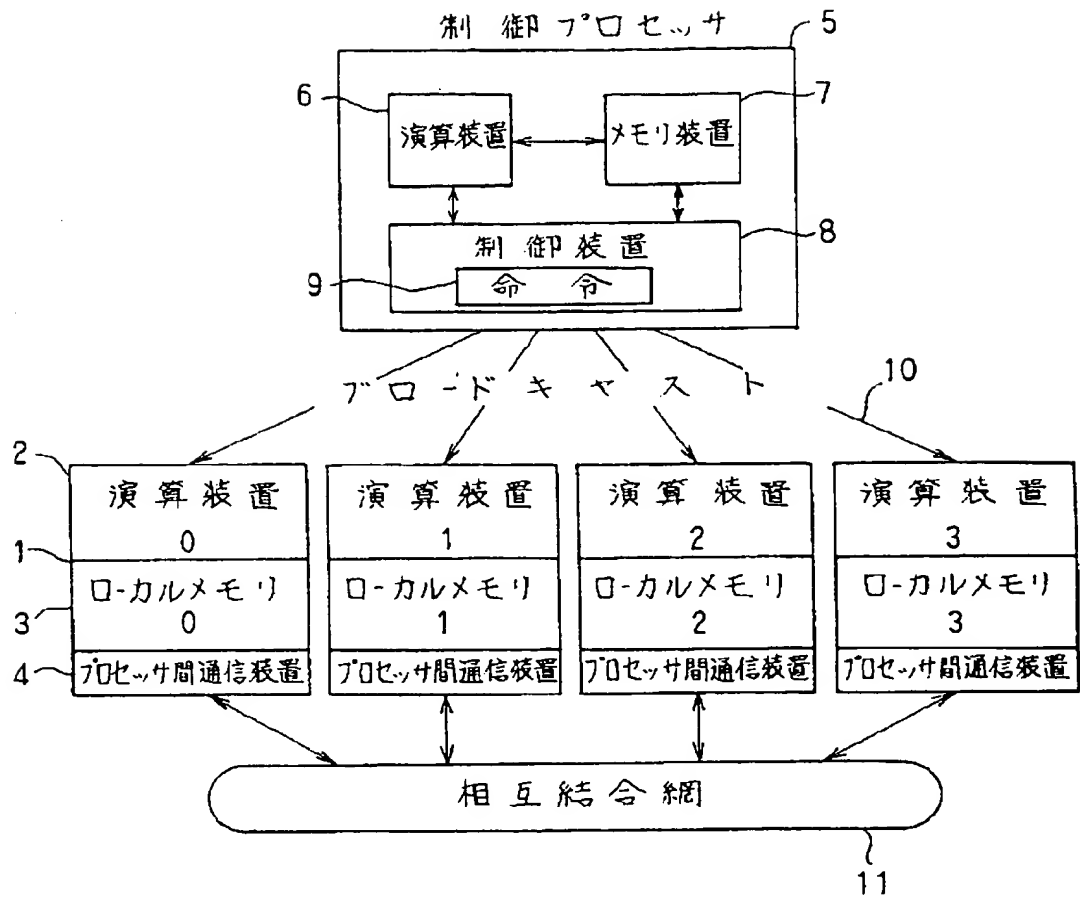
- 1 要素プロセッサ
- 2 要素プロセッサ内演算装置
- 3 要素プロセッサ内メモリ装置 (第2の記憶手段の一例)
- 4 プロセッサ間通信装置
- 5 制御プロセッサ
- 6 制御プロセッサ内演算装置
- 7 制御プロセッサ内メモリ装置 (第1の記憶装置の一例)
- 8 制御プロセッサ内制御装置
- 9 制御プロセッサの命令
- 10 制御プロセッサから送出される第1の制御信号
- 11 相互結合網
- 13 要素プロセッサ内の命令
- 14 コマンドバス
- 16 要素プロセッサ内で生成される第2の制御信号
- 17 要素プロセッサ内制御部
- 18 切り換え信号
- 19 切換器 (切り換え手段の一例)
- 20 選択信号
- 21 切り換え連絡手段

【図1】



- 10: 第1の制御装置
 16: 第2の制御装置
 18: 切り換え信号
 20: 選択信号
 21: 切り換え連絡手段

【図2】



(7)

【図3】

